

BEST AVAILABLE COPY

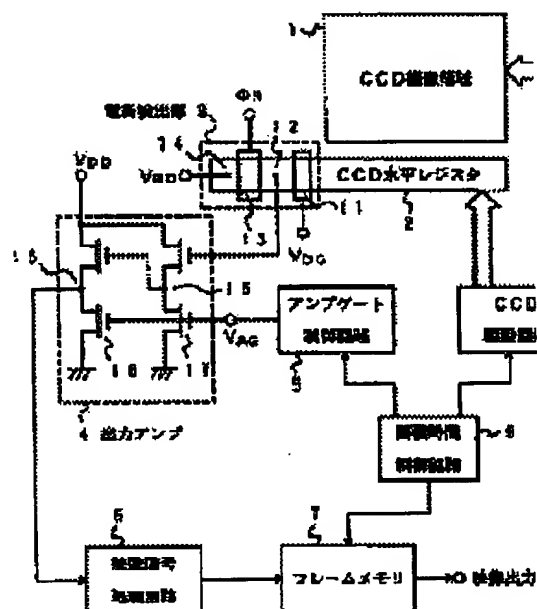
SOLID-STATE IMAGE PICKUP DEVICE AND ITS DRIVING METHOD

Patent number: JP9168119
 Publication date: 1997-06-24
 Inventor: AKIYAMA IKUO
 Applicant: NEC CORP
 Classification:
 - International: H04N5/335
 - european:
 Application number: JP19950326721 19951215
 Priority number(s):

Abstract of JP9168119

PROBLEM TO BE SOLVED: To reduce shading of a black level by activating an output amplifier only for a signal output period with the action of an amplifier gate control circuit, pausing the output amplifier for other signal storage period and reducing diffusion of hot electrons.

SOLUTION: A voltage signal amplitude-modulated from a charge detection section 3 is outputted externally at a ratio of one field for 4-field period via an output amplifier 4. The output amplifier 4 consists of, e.g. 2-stage source follower circuits 15, 16. Furthermore, an amplifier gate control circuit 5 is connected to gate terminals of lower MOS load resistors 17, 18 among MOS-FETs being component of the source follower circuits. A voltage of, e.g. nearly +1 to +3V is applied to the circuit 5 for a signal output period only to activate the output amplifier and 0V (ground voltage) is applied to the circuit 5 for a signal storage period to set an output voltage to be at a pause.



(2)

特開平9-168119

1

【特許請求の範囲】

【請求項1】 入射光量に応じた信号電荷を蓄積する撮像領域と、

前記信号電荷の蓄積時間を制御する蓄積時間手段と、
前記蓄積時間内に蓄積された前記信号電荷を順次転送する電荷転送手段と、

該電荷転送手段により転送されてきた前記信号電荷を電圧信号に変換する電荷検出部と、

該電荷検出部に接続され、前記電圧信号を映像信号として外部に出力する少なくとも1段以上のMOS-FETによるソースフォロア回路で構成された出力アンプと、
該出力アンプを構成するMOS負荷抵抗のゲートに接続されたアンプゲート制御回路とを具備することを特徴とする固体撮像装置。

【請求項2】 前記MOS負荷抵抗がエンハンスメント型である、請求項1に記載の固体撮像装置。

【請求項3】 前記MOS負荷抵抗がデプレッション型である、請求項1に記載の固体撮像装置。

【請求項4】 請求項1に記載の固体撮像装置を駆動する方法であって、

前記アンプゲート制御回路から所定の制御電圧を発生させることにより、信号出力区間では前記MOS負荷抵抗をオン状態にして前記出力アンプを活動状態にし、信号蓄積期間では前記MOS負荷抵抗をオフ状態にして前記出力アンプを休止状態にすることを特徴とする固体撮像装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は蓄積時間制御方式による高感度モードを備えた固体撮像装置に関し、特に、暗電流等によるシェーディングを低減させた固体撮像装置の駆動方法に関する。

【0002】

【従来の技術】 図4に従来の2次元固体撮像装置の構成を示す。従来の2次元固体撮像装置は、電荷結合素子（以後、CCDと呼ぶ）撮像領域101と、CCD水平レジスタ102と、電荷検出部103と、出力アンプ104と、映像信号処理回路105と、フレームメモリ106と、CCD駆動回路107と、蓄積時間制御回路108とから構成されている。

【0003】 図5は図4に示した従来の2次元固体撮像装置の動作を説明するためのタイミング図であり、一例として蓄積時間が標準状態（約1/60秒）の4倍（約1/15秒）の場合が示されている。

【0004】 以下、図4と図5を参照して、従来の2次元固体撮像装置について説明する。まず、図4において、入射光量に応じてCCD撮像領域101中の光電変換素子群（図示せず）に蓄積された信号電荷は、所定の蓄積時間ごとに、すなわち本例の場合には4フィールド期間（約1/15秒）ごとに、垂直転送パルスΦ_vに重

2

畳された信号電荷読み出しパルス109により、CCD垂直レジスタ（図示せず）に読み出される。次いで、これら信号電荷は所定のタイミングに従ってCCD垂直レジスタ（図示せず）とCCD水平レジスタ102中を順次転送され、電荷検出部103へと供給される。

【0005】 電荷検出部103は、出力ゲート電極110と、フローティング・ディフュージョン領域111と、リセットゲート電極112と、リセットドレイン113とで構成され、転送されて来た信号電荷を電圧信号に変換する役割を果たす。

【0006】 電荷検出部103からの振幅変調された電圧信号は、出力アンプ104を介して、4フィールド期間に1フィールドの割合で外部に出力される。ここで出力アンプ104は、必要とされる周波数帯域に合わせて1〜3段の金属酸化物質半導体電界効果トランジスタ（MOS-FET）によるソースフォロア回路で構成されることが多い。本例では、2段のMOS-FETによるソースフォロア回路114と115で構成された場合が示されている。またソースフォロア回路を構成するMOS-FETのうち、下側のMOS負荷抵抗（ロードトランジスタとも呼ばれる）116、117のゲート端子には、一定の直流電圧V_{AG}が印加され低電流源として動作するようになっている。ここで、本例ではMOS負荷抵抗116、117としてエンハンスメント型の場合を想定しているので、直流電圧V_{AG}の値としては+1〜+3V程度が適当であるが、デプレッション型の場合にはソース電圧と同じ0V（GND電圧）とすることもできる。

【0007】 次に、出力アンプ104から出力される振幅変調された電圧信号は、映像信号処理回路105で雑音除去されると同時に時系列映像信号に変換され、さらに規定レベルまでの増幅やガンマ処理等の非線形処理が施された後に、通常の映像信号として外部に出力される。但し、映像信号処理回路105から出力される映像信号は、図5の118に示すごとく、4フィールド期間に1フィールドの割合で出力される間欠信号であるため、フレームメモリ106を介して、連続した映像信号119に変換される。

【0008】

【発明が解決しようとする課題】 しかしながら、従来の固体撮像装置では、出力アンプ104の発熱、あるいは出力アンプ104を構成するMOS-FETのショートチャネル効果に起因して発生するホットエレクトロンの拡散により、アンプ近傍の光電変換素子群に他の領域よりも多くの不要電荷（暗電流）が蓄積され、再生画面の左上をピークとする黒レベルのシェーディングが発生し、再生画像が著しく劣化している。

【0009】 そこで、本発明はこのような従来技術の欠点を解決すべくなされたものであって、その課題とするところは、高感度モードでも暗電流等による黒レベルの

(3)

特開平9-168119

3

シェーディングが発生しにくい固体撮像装置およびその駆動方法を提供することにある。

【0010】

【課題を解決するための手段】本発明による固体撮像装置は、入射光量に応じた信号電荷を蓄積する撮像領域と、信号電荷の蓄積時間を制御する蓄積時間手段と、蓄積時間内に蓄積された信号電荷を順次転送する電荷転送手段と、この電荷転送手段により転送されてきた信号電荷を電圧信号に変換する電荷検出部と、この電荷検出部に接続され、電圧信号を映像信号として外部に出力する少なくとも1段以上のMOS-FETによるソースフォロア回路で構成された出力アンプと、この出力アンプを構成するMOS負荷抵抗のゲートに接続されたアンプゲート制御回路とを具備することを特徴とする。

【0011】また、本発明による固体撮像装置の駆動方法は、上記固体撮像装置を駆動する方法であって、アンプゲート制御回路から所定の制御電圧を発生させることにより、信号出力区間ではMOS負荷抵抗をオン状態にして出力アンプを活動状態にし、信号蓄積区間ではMOS負荷抵抗をオフ状態にして出力アンプを休止状態にすることを特徴とする。

【0012】

【発明の実施の形態】以下、本発明の実施形態について図面を参照して詳細に説明する。

【0013】図1に、本発明の一実施形態による2次元固体撮像装置の構成を示す。図1に示された2次元固体撮像装置は、CCD撮像領域1と、CCD水平レジスタ2と、電荷検出部3と、出力アンプ4と、アンプゲート制御回路5と、映像信号処理回路6と、フレームメモリ7と、CCD駆動回路8と、蓄積時間制御回路9とから構成されている。図1に示された本発明に係る2次元固体撮像装置と図4に示した従来の2次元固体撮像装置との相違点は、本発明のものではアンプゲート制御回路5が備えられたことにある。

【0014】図2は図1に示した2次元固体撮像装置の動作を説明するためのタイミング図であり、一例として蓄積時間が標準状態（約1/60秒）の4倍（約1/15秒）の場合が示されている。

【0015】以下、図1と図2を参照して、本実施形態による2次元固体撮像装置について説明する。まず、図1において、入射光量に応じてCCD撮像領域1中の光電変換素子群（図示せず）に蓄積された信号電荷は、所定の蓄積時間ごとに、すなわち本例の場合には4フィールド期間（約1/15秒）ごとに、垂直転送パルス Φ_v に重畳された信号電荷読み出しパルス10により、CCD垂直レジスタ（図示せず）に読み出される。次いで、これら信号電荷は所定の駆動タイミングに従ってCCD垂直レジスタ（図示せず）とCCD水平レジスタ2中を順次転送され、電荷検出部3へと供給される。

【0016】電荷検出部3は、出力ゲート電極11と、

4

フローティング・ディフュージョン領域12と、リセットゲート電極13と、リセットドレイン14とで構成され、転送されて来た信号電荷を電圧信号に変換する役割を果たす。

【0017】電荷検出部3からの振幅変調された電圧信号は、出力アンプ4を介して、4フィールド期間に1フィールドの割合で外部に出力される。ここで出力アンプ4は、一例として2段のソースフォロア回路15と16で構成された場合が示されている。またソースフォロア回路を構成するMOS-FETのうち、下側のMOS負荷抵抗17、18のゲート端子には、アンプゲート制御回路5が接続されている。

【0018】ここで、アンプゲート制御回路5の働きは、信号出力期間のみ+1〜+3V程度の電圧を印加して出力アンプ4が活動状態になるようにし、信号蓄積区間では0V（GND電圧）の電圧を印加して出力アンプ4が休止状態となるように動作している。

【0019】図3にMOS負荷抵抗（ロードトランジスタ）17、18の伝達特性を示す。本実施の形態では、MOS負荷抵抗としてエンハンスメント型を想定しているため、アンプゲート電圧（ゲート・ソース間電圧） V_{AG} として約+2Vを印加したとき所定の量のドレイン電流 I_D が流れ、出力アンプ4が活動状態となることが分かる。また、アンプゲート電圧 V_{AG} が0Vのときにはドレイン電流 I_D が零となり、MOS負荷抵抗17、18がカットオフして出力アンプ4が休止状態となることが分かる。

【0020】次に、出力アンプ4から出力される振幅変調された電圧信号は、映像信号処理回路6で雑音除去されると同時に時系列映像信号に変換され、さらに規定レベルまでの増幅やガンマ処理等の非線形処理が施された後に、通常の映像信号として外部に出力される。但し、映像信号処理回路6から出力される映像信号は、図2の19に示すごとく、4フィールド期間に1フィールドの割合で出力される間欠信号であるため、フレームメモリ7を介して、連続した映像信号20に変換される。

【0021】本発明は上述した実施の形態には限定せず、本発明の趣旨を逸脱しない範囲内で種々の変更が可能である。例えば、MOS負荷抵抗はデプレッション型でも良い。この場合には、信号出力期間ではアンプゲート電圧 V_{AG} として0V（GND電圧）を印加することにより、MOS負荷抵抗をオン状態にして出力アンプを活動状態にし、また、信号蓄積区間ではアンプゲート電圧 V_{AG} として-8〜-9V程度の電圧を印加することにより、MOS負荷抵抗をオフ状態にして出力アンプを休止状態にすれば良い。

【0022】

【発明の効果】以上の説明より明らかなように、本発明の固体撮像装置では、アンプゲート制御回路の作用により、信号出力期間のみ出力アンプが活動状態となり、そ

(4)

特開平9-168119

5

6

の他の信号蓄積期間では出力アンプが休止状態となっている。このため、出力アンプの発熱、および出力アンプを構成するMOS-FETのショートチャネル効果に起因して発生するホットエレクトロンの拡散は、上記実施の形態の場合、従来例の約1/4に軽減される。さらに、蓄積時間が長くなるに従って、すなわち、高感度になるに従って、この効果は顕著となる。このため、アンプ近傍の光電変換素子群に他の領域よりも多くの不要電荷(暗電流)が蓄積されることによって発生する再生画面の左上をピークとする黒レベルのシェーディングを低減することができ、その効果は大きい。

【図面の簡単な説明】

【図1】本発明の一実施形態による2次元固体撮像装置の構成を示すブロック図である。

【図2】図1に示した2次元固体撮像装置の動作を説明するためのタイミング図である。

【図3】図1に示した2次元固体撮像装置に使用される出力アンプを構成するMOS負荷抵抗の伝達特性を示す図である。

【図4】従来の2次元固体撮像装置の構成を示すブロッ

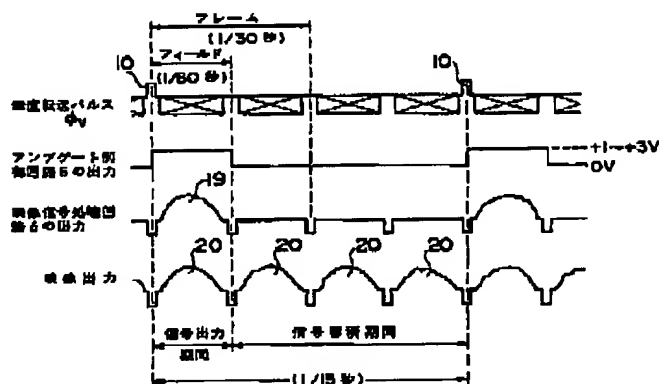
ク図である。

【図5】図4に示した2次元固体撮像装置の動作を説明するためのタイミング図である。

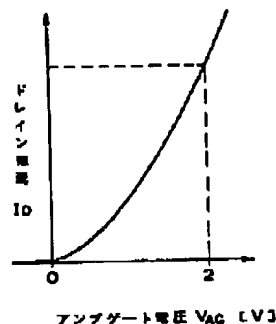
【符号の説明】

- | | |
|--------|--------------------|
| 1 | CCD撮像領域 |
| 2 | CCD水平レジスタ |
| 3 | 電荷検出部 |
| 4 | 出力アンプ |
| 5 | アンプゲート制御回路 |
| 6 | 映像信号処理回路 |
| 7 | フレームメモリ |
| 8 | CCD駆動回路 |
| 9 | 蓄積時間制御回路 |
| 11 | 出力ゲート電極 |
| 12 | フローティング・ディフュージョン領域 |
| 13 | リセットゲート電極 |
| 14 | リセットドレイン |
| 15, 16 | ソースフォロア回路 |
| 17, 18 | MOS負荷抵抗(ロードトランジスタ) |

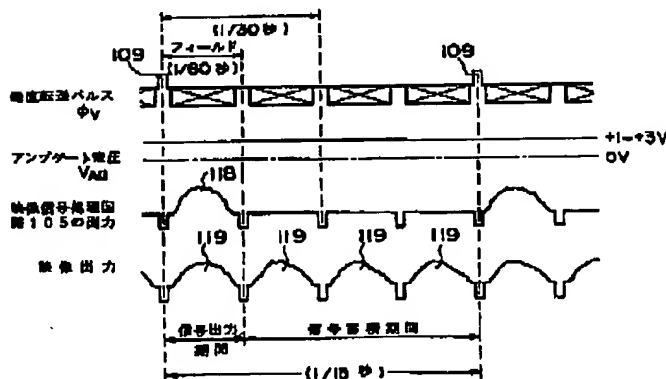
【図2】



【図3】



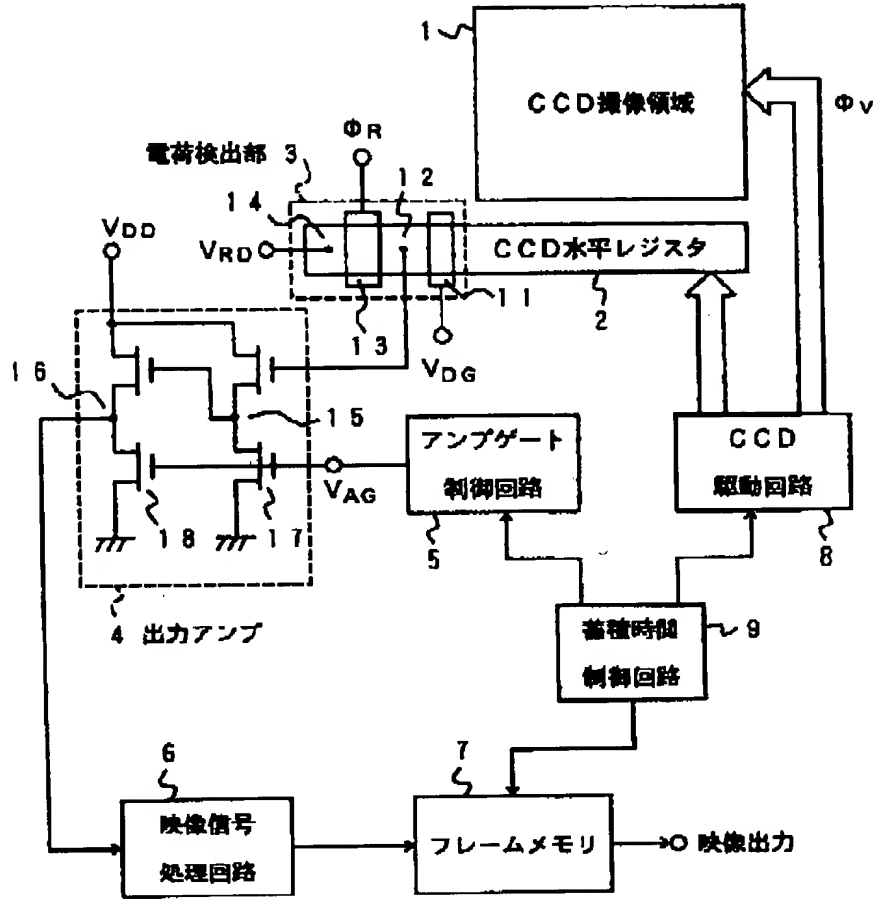
【図5】



(5)

特開平9-168119

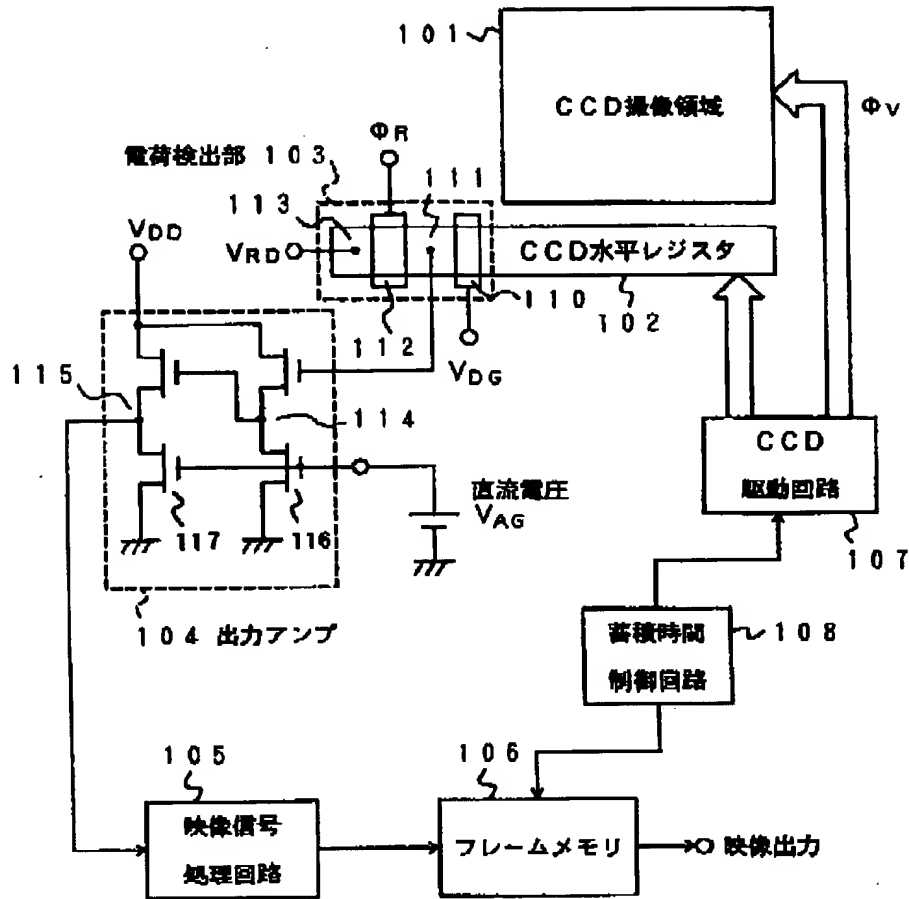
【図1】



(6)

特開平9-168119

【図4】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.